

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE HAVING ZnO-BASED OXIDE SEMICONDUCTOR LAYER

Publication number: JP2002093822

Also published as:

Publication date: 2002-03-29

US6649434 (B2)

Inventor: IWATA HIROYA; PAUL FONSU; MATSUBARA KOJI; YAMADA AKIMASA; NIKI SAKAE; NAKAHARA TAKESHI

US2002058351 (A)

Applicant: NAT INST OF ADV IND & TECHNOL; ROHM CO LTD

Classification:

- international: C30B29/16; C30B23/02; H01L21/365; H01L33/00; C30B29/10; C30B23/02; H01L21/02; H01L33/00; (IPC1-7): H01L21/365; C30B29/16; H01L33/00

- european: C30B23/02; H01L21/363; H01L33/00G4B

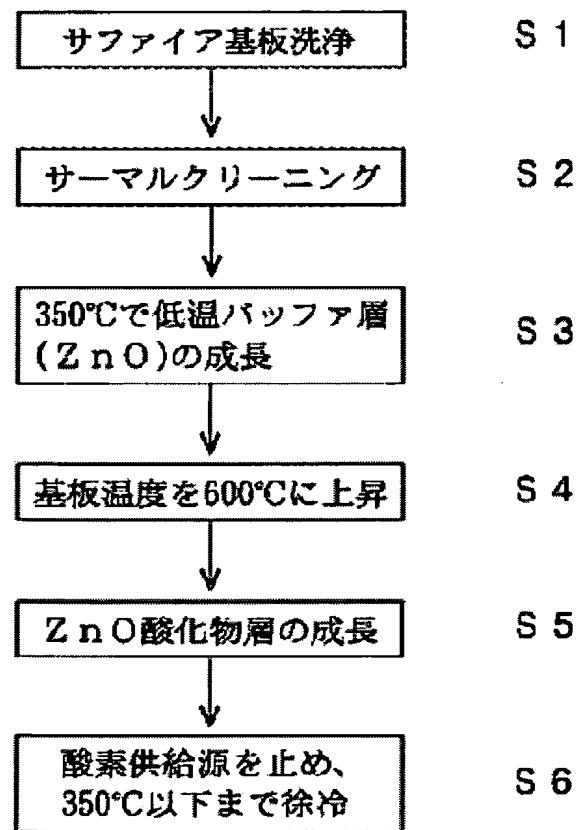
Application number: JP20000278043 20000913

Report a data error here

Priority number(s): JP20000278043 20000913

Abstract of JP2002093822

PROBLEM TO BE SOLVED: To provide the manufacturing method of a semiconductor device, that inhibits transition into an epitaxial grow layer and generation of crystal defect caused by the difference in the atmosphere and thermal coefficient of expansion, while decreasing the temperature of a substrate after semiconductor layer growth, and has a high-quality ZnO-based oxide semiconductor layer with superior crystallizability. **SOLUTION:** When the ZnO-based oxide semiconductor layer is subjected to heteroepitaxial growth on the substrate, having the material quality that is different from the ZnO-based oxide semiconductor, the ZnO-based oxide semiconductor layer is grown at a high temperature of at least 500 deg.C, the supply of oxygen is stopped after the growth of the ZnO-based oxide semiconductor layer is completed, and at the same time, the temperature of the substrate is to be cooled down gradually to 350 deg.C or lower.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-93822

(P2002-93822A)

(43)公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl.⁷
H 01 L 21/365
C 30 B 29/16
H 01 L 33/00

識別記号

F I
H 01 L 21/365
C 30 B 29/16
H 01 L 33/00

テ-マコト^{*}(参考)
4 G 0 7 7
5 F 0 4 1
D 5 F 0 4 5

審査請求 未請求 請求項の数1 O L (全 6 頁)

(21)出願番号 特願2000-278043(P2000-278043)

(22)出願日 平成12年9月13日 (2000.9.13)

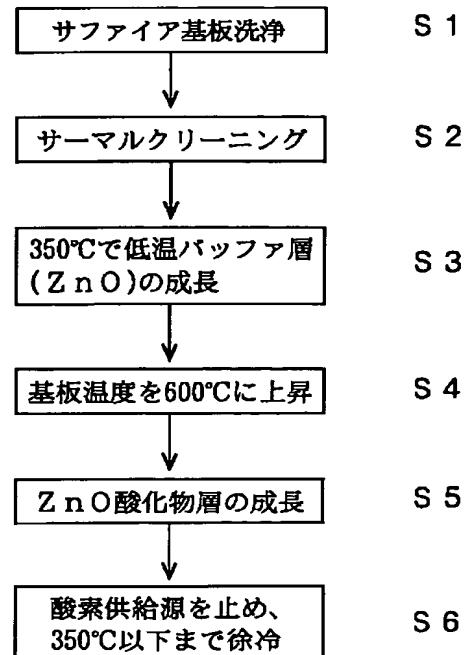
(71)出願人 301021533
独立行政法人産業技術総合研究所
東京都千代田区霞が関1-3-1
(74)上記1名の復代理人 100098464
弁理士 河村 洑
(71)出願人 000116024
ローム株式会社
京都府京都市右京区西院溝崎町21番地
(74)上記1名の代理人 100098464
弁理士 河村 洄
(72)発明者 岩田 拓也
茨城県つくば市梅園1-1-4 通商産業
省 工業技術院電子技術総合研究所内
最終頁に続く

(54)【発明の名称】 ZnO系酸化物半導体層を有する半導体装置の製法

(57)【要約】

【課題】 半導体層成長後の基板温度を下げる間の雰囲気や熱膨張係数の差に基づくエピタキシャル成長層への転移や結晶欠陥の発生を抑制して、結晶性の優れた高品質のZnO系酸化物半導体層を有する半導体装置の製法を提供する。

【解決手段】 ZnO系酸化物半導体と異なる材質の基板上に、ZnO系酸化物半導体層をヘテロエピタキシャル成長する場合に、500°C以上の高温で前記ZnO系酸化物半導体層を成長し、ZnO系酸化物半導体層の成長終了後に、酸素の供給を止め、かつ、基板温度を350°C以下まで徐冷することを特徴とする。



【特許請求の範囲】

【請求項1】 ZnO 系酸化物半導体と異なる熱膨張係数を有する基板上に、 ZnO 系酸化物半導体層をヘテロエピタキシャル成長する半導体装置の製法であって、500°C以上の高温で前記 ZnO 系酸化物半導体層を成長し、 ZnO 系酸化物半導体層の成長終了後に、酸素の供給を止め、かつ、基板温度を350°C以下まで徐冷することを特徴とする ZnO 系酸化物半導体層を有する半導体装置の製法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、たとえば ZnO 系酸化物半導体を用いた発光ダイオード（以下、LEDという）やレーザダイオード（以下、LDという）などの発光素子、SAW（surface acoustic wave；表面弾性波）フィルタやSAW発振素子などのSAWデバイス、焦電素子、圧電素子、ガスセンサなどのように、たとえばサファイア基板上に ZnO 系酸化物半導体層をヘテロエピタキシャル成長する場合の半導体装置の製法に関する。さらに詳しくは、成長後の雰囲気ガスや基板と ZnO 系酸化物半導体層との間の熱膨張係数の差に起因するストレス、などに基づく成長膜中の転移や欠陥を減らし、高品質の ZnO 系酸化物半導体層を有する半導体装置の製法に関する。

【0002】

【従来の技術】 フルカラーディスプレーや、信号灯などの光源に用いられる青色系（紫外から黄色の波長領域）のLEDや、室温で連続発振する次世代の高精細DVD光源用の青色LDは、最近サファイア基板上にGaN系化合物半導体を積層することにより得られるようになり脚光を浴びている。このような波長の短い発光素子として、GaN系化合物半導体が主流になっているが、 ZnO 系などのII-VI族化合物半導体を用いることも検討されている。 ZnO は、室温でのバンドギャップが3.37eVあり、 ZnO 系酸化物は、前述のDVD光源のほか、透明導電膜、透明なTFT、SAWデバイス、圧電素子などへの応用も期待されている。

【0003】 この ZnO 系酸化物半導体も、GaN系化合物半導体やサファイアと同様にヘキサゴナル(hexagonal)結晶であり、格子定数がGaNと近いため、GaN系化合物半導体のエピタキシャル成長用基板として工業的に広く用いられているサファイアが基板として考えられている。しかし、サファイアの格子定数（a軸長）は、0.4758nmであるのに対して、 ZnO のa軸長は0.3252nmであり、格子定数の差に基づく不整合が大きく、エピタキシャル成長層中に転移や結晶欠陥が生じやすいという問題がある。そのため、サファイア基板上に350°C程度の低温で ZnO 層などのバッファ層を成膜してから、600°C程度の高温で ZnO 系酸化物半導体層を成長する方法などが考えられている。

【0004】

【発明が解決しようとする課題】 前述のように、 ZnO 系酸化物半導体層を成長する基板として、現在考えられている最適なものは、サファイア基板である。しかし、このサファイア基板表面に ZnO 系酸化物半導体層を成長すると、バッファ層を介在させるなどの工夫を施してもエピタキシャル成長層中の転移や結晶欠陥を充分には減らすことができず、結晶性のよい高品質の ZnO 系酸化物半導体層が得られないという問題がある。

【0005】 本発明者らは、このような問題を解決するため、鋭意検討を重ねた結果、従来結晶欠陥の生じる原因が、基板とエピタキシャル成長される ZnO 系酸化物層との間の格子定数の差に基づく格子不整合にあり、これを解消するという考え方で、その対策が施されていたが、サファイアと ZnO は、その熱膨張係数が、それぞれ $7.3 \times 10^{-6} \text{ K}^{-1}$ と、 $4.53 \times 10^{-6} \text{ K}^{-1}$ と異なり、この熱膨張係数の差に基づき、新たな転移や結晶欠陥が発生していることを見出した。さらに、一般的には、この種の半導体層の成長を終了した後は、その構成元素の蒸気圧の高い材料の気体を流しながら基板温度を下げるが、 ZnO 系酸化物半導体層の場合、酸素雰囲気中に放置されると、転移や結晶欠陥が進みやすいくことを見出した。

【0006】 本発明はこのような状況に鑑みてなされたもので、半導体層成長後の基板温度を下げる間の雰囲気や熱膨張係数の差に基づくエピタキシャル成長層への転移や結晶欠陥の発生を抑制して、結晶性の優れた高品質の ZnO 系酸化物半導体層を有する半導体装置の製法を提供することを目的とする。

【0007】

【課題を解決するための手段】 前述のように、本発明者らは、サファイア基板上にエピタキシャル成長する ZnO 系酸化物半導体層の結晶性を向上させるため、鋭意検討を重ねた結果、600°C程度の高温で ZnO 系酸化物半導体層をエピタキシャル成長し、成長が終った後に、直ちに基板を加熱するヒータをオフにすると、基板の温度変化が早く、基板と ZnO 系酸化物半導体層との熱膨張係数の差に基づき、両者間にストレスがかかり、エピタキシャル成長層中に新たに転移や結晶欠陥が発生することを見出した。すなわち、 ZnO 系酸化物半導体層のエピタキシャル成長中に結晶欠陥の生じないように注意をしながら成長しても、成長を終了後に基板温度が急激に低下すると、新たに転移や結晶欠陥が発生し、この転移や結晶欠陥が大きく特性に影響することが判明した。

【0008】 そして、 ZnO 系酸化物半導体層の成長終了後に、 ZnO 系酸化物の材料である酸素の供給を止めて、その温度低下を、たとえば5~10°C/分以下のゆっくりしたスピードで降温することにより、結晶性の優れた ZnO 系酸化物半導体層が得られることを見出した。さらに、従来は蒸気圧の高い構成元素の気体はその

まま流しながら基板温度を下げているが、ZnO系酸化物の場合、酸素ガス雰囲気流中で基板温度を下げると、その酸素により表面が荒されるため、好ましくなく、酸素の供給を停止することにより、結晶性の優れたZnO系酸化物半導体層が得られることを見出した。

【0009】もちろん、ZnO系酸化物は、400°C程度の低温でもエピタキシャル成長することができ、この程度の温度でエピタキシャル成長すれば、直接基板加熱用のヒータをオフにして急激に温度を下げても、室温との温度差が小さいため、新たな結晶欠陥の発生は殆ど生じないが、エピタキシャル成長の温度が低いと、残留キャリア濃度を減らすことができず、550～600°C程度の高温でエピタキシャル成長することが、残留キャリア濃度を減らし、所望のキャリア濃度の半導体層が得られると共に、p形層のキャリア濃度も大きくしやすいことを本発明者らは別途見出し、500°C程度以上の高温でZnO系酸化物半導体層をエピタキシャル成長することが好ましい。この場合に、とくに成長後の温度降下を注意して制御する必要があることを見出した。

【0010】本発明によるZnO系酸化物半導体層を有する半導体装置の製法は、ZnO系酸化物半導体と異なる熱膨張係数を有する基板上に、ZnO系酸化物半導体層をヘテロエピタキシャル成長する場合に、500°C以上の高温で前記ZnO系酸化物半導体層を成長し、ZnO系酸化物半導体層の成長終了後に、酸素の供給を止め、かつ、基板温度を350°C以下まで徐冷することを特徴とする。

【0011】ここにZnO系酸化物半導体とは、Znを含む酸化物を意味し、具体例としてはZnOの他IIA族とZn、IIB族とZn、またはIIA族およびIIB族とZnのそれぞれの酸化物などを含む。

【0012】この方法を用いることにより、ZnO系酸化物半導体層中に基板温度降下中の新たな転移や結晶欠陥の誘発を防止することができ、アンドープの状態でキャリア濃度が小さくなり、モビリティが向上する。その結果、半導体発光素子での活性層の結晶性が優れ、高い発光効率に寄与すると共に、p形層などのキャリア濃度を充分に上げることができなかったものを、結晶性が優れることにより、キャリアのモビリティが向上し、キャリア濃度も非常に大きくなる。

【0013】

* 【発明の実施の形態】つぎに、図面を参照しながら本発明によるZnO系酸化物半導体層を有する半導体装置の製法について説明をする。本発明による半導体装置の製法は、図1にその一実施形態であるフローチャートが示されるように、ZnO系酸化物半導体と異なる熱膨張係数を有する基板上に、ZnO系酸化物半導体層をヘテロエピタキシャル成長する場合に、500°C以上の高温で前記ZnO系酸化物半導体層を成長し、ZnO系酸化物半導体層の成長終了後に、酸素の供給を止め、かつ、基板温度を350°C以下まで徐冷することを特徴とする。

【0014】具体的には、図1に示されるように、サファイア基板を脱脂洗浄し(S1)、ついで、たとえばMBE(Molecular Beam Epitaxy; 分子線エピタキシー)成長室に入れて700°C程度まで昇温して、20分程度のサーマルクリーニングを行う(S2)。その後、350°C程度に基板温度を下げ、Znと酸素ラジカルのセルを開口し、ZnOからなるバッファ層を0.1μm程度成長する(S3)。その後、Znセルを閉めると共に、酸素ラジカルの照射を止めて基板温度を600°C程度まで昇温する(S4)。この昇温は、通常の加熱用ヒータの電流を増加することにより行うもので、50～100°C/分程度の割合で昇温する。基板温度が所定の温度、たとえば600°C程度になったら、再度Znおよび酸素ラジカルを開き、アンドープのZnO層を、たとえば1～2μm程度成長する(S5)。その後、酸素ラジカルを止めると共に、基板加熱用のヒータを一度にオフにしないで、徐々に電流を下すことにより、たとえば5～10°C/分程度の割合で、350°C以下まで基板温度を下げる(S6)。その後、成長室から基板を取り出せば、サファイア基板表面にアンドープのZnO層が得られる。

【0015】前述のように、本発明者らは、サファイア基板上に成長されるZnO系酸化物半導体層の結晶性を向上させるため、図1に示されるプロセスで、ZnO系酸化物半導体層を成長した後の基板温度の降温スピード、およびその際の酸素ラジカルO⁺照射の有無など、条件を種々変化させてモビリティ(c m²V⁻¹s⁻¹)およびそのときのキャリア濃度(c m⁻³)を調べた。その結果を表1に示す。

【0016】

* 【表1】

| 降温スピード | 遅い | 遅い | 速い | 速い |
|--|-----------------------|-----------------------|-----------------------|-----------------------|
| O ⁺ の有無 | 有 | 無 | 有 | 無 |
| キャリア濃度(c m ⁻³) | 6.18×10 ¹⁶ | 1.16×10 ¹⁷ | 1.24×10 ¹⁸ | 1.59×10 ¹⁸ |
| モビリティ(c m ² V ⁻¹ s ⁻¹) | 8.77 | 82.3 | 29 | 65.8 |

【0017】なお、表1において、降温スピードが遅いとは、7°C/分、すなわち本発明の徐冷に相当するもので、速いとは、従来の加熱ヒータを一度にオフにする方法で、たとえば200°C/分程度のスピードで降下することを意味する。また、酸素ラジカルO⁺の有無とは、従来の、半導体層の成長が終った後も、酸素などの気体はそのまま照射を続けて温度を下げたり上げたりしていた状態を「有」とし、この酸素ラジカルの照射も止めた状態を「無」としている。表1から明らかなように、ラジカル酸素の照射を止めてゆっくりと(5~10°C/分)降温させることにより、小さなキャリア濃度で大きなモビリティ82.3が得られた。

【0018】なお、表1からも明らかなように、ゆっくりと降温させても、酸素ラジカルの照射を続けたままであると、むしろ急に冷却したものよりもモビリティは低下し、好ましくなかった。これは、熱膨張係数の差に基づく転移や結晶欠陥の発生よりも、酸素の取込みによる補償(格子間にOを取り込む)の方が大きいことを示している。

【0019】前述の例では、7°C/分の割合で降温させたが、余り遅くすると、時間がかかりすぎて量産には適さず、降温スピードを早くするほど、アンドープのキャリア濃度が大きくなってモビリティが小さくなり、従来の冷却方法に近づく。そのため、好ましくは5~50°C/分、さらに好ましくは、5~10°C/分程度の割合で徐冷することが望ましい。また、MgまたはCdを混晶したZnO系酸化物でも同様の結果が得られた。また、MBE法ではなく、MOCVD(Metal Organic Chemical Vapor Deposition: 有機金属化学気相成長)法により成長する場合でも同様であった。

【0020】本発明によれば、ZnO系酸化物半導体層の成長を全て終了した後、基板温度を、成長温度の600°C程度の高温から室温近くの低温まで、非常にゆっくり(従来は、たとえばエビタキシャル成長の終了から室温近くまでの降温時間が5分程度であったのが、本発明では、45分程度になる)下げているため、基板と成長したZnO系酸化物半導体層との熱膨張係数が異なっていても、そのストレスはそれほどZnO系酸化物半導体層にかかるない。しかも、従来はZnO系酸化物半導体層の成長が終了しても、ZnやMgなどの金属材料はそのセルを閉めて照射が遮断されるものの、酸素などの気体の材料源はそのまま流し続けられるのが一般的であるが、少なくとも酸素ラジカルの照射を遮断することにより、酸素を格子間などに過剰に取り込むこともなく、降温するのに長い時間をかけても、熱膨張係数の差に基づくストレスを開放するだけで、非常に優れたZnO系酸化物半導体層を得ることができる。

【0021】さらに、具体的な例として、図2に示されるLEDチップの製法について説明する。このLEDは、発光層形成部10が、たとえばCd_xZn_{1-x}O(0

$\leq x < 1$ 、たとえば $x = 0.08$)からなる0.1μm程度厚の活性層15を、Mg_yZn_{1-y}O(0≤y<1、たとえば $y = 0.15$)からなる2μm程度厚のn形のクラッド層14と、Mg_yZn_{1-y}O(0≤y<1、たとえば $y = 0.15$)からなる2μm程度厚のp形クラッド層16によりサンドイッチされた構造になっている。そして、その表面にp形ZnOからなるp形コンタクト層17が1μm程度設けられている。

【0022】このLEDを製造するには、たとえばMBE装置内にサファイア基板11をセッティングし、基板温度を600~700°Cにしてサーマルクリーニングをした後、基板温度を400°C程度にし、酸素ラジカルおよびZnのソース源(セル)のシャッターをあけて照射し、ZnOからなるバッファ層12を50nm~0.1μm程度成膜する。

【0023】ついで、酸素の照射を止めて基板温度を550~600°C程度にし、その後酸素ラジカルのシャッターを再度あけ、酸素ラジカルとZnを照射すると共に、n形ドーパントのAlまたはGaのシャッターもあけてn形のZnOからなるn形コンタクト層13を1.5μm程度成長させる。ついで、Mgのシャッターもあけて、Mg_yZn_{1-y}O(0≤y<1、たとえば $y = 0.15$)からなるn形のクラッド層14を2μm程度、Mgを止めて、CdのシャッターをあけアンドープでCd_xZn_{1-x}O(0≤x<1、たとえば $x = 0.08$)からなる活性層15を0.1μm程度成長する。

【0024】そして、Cdを止めてMgのシャッターを再びあけ、さらにプラズマ励起チッ素のシャッターをあけ、Nをドーピングしたp形Mg_yZn_{1-y}O(0≤y<1、たとえば $y = 0.15$)からなるp形クラッド層16を2μm程度成長する。さらにMgを止めて、p形ZnOからなるp形コンタクト層17を1μm程度順次成長する。このn形クラッド層14、活性層15およびp形クラッド層16により発光層形成部10を構成している。

【0025】その後、酸素ラジカルを含む全ての材料の供給を止め、基板温度を毎分5~10°Cの割合でゆっくり下げ、室温近くまで充分に下がってからMBE装置よりエビタキシャル成長がされたウェハを取り出す。そして、スパッタ装置に入れて透明性導電膜であるITO膜18を0.15μm程度の厚さに設ける。その後、積層した半導体層の一部をRIE法などのドライエッチングによりn形コンタクト層13を露出させ、サファイア基板11を研磨し、基板11の厚さを100μm程度とし、ITO膜18上にNi/A1などからなるp側電極20を、エッチングにより露出したn形コンタクト層13の表面にTi/Auなどからなるn側電極19を、それぞれたとえばリフトオフ法による真空蒸着などにより形成する。その後ウェハからチップ化することにより、図2に示されるLEDチップが得られる。

40

40

50

【0026】なお、この例では、発光層形成部10がダブルヘテロ接合のLEDチップであったが、ヘテロ接合またはホモ接合のpn接合構造などの他の接合構造でも同じである。また、LEDでなくてもLDであっても同様である。この場合、たとえば活性層15はノンドープのCd_{0.9}Zn_{0.1}O/Cd_{0.9}Zn_{0.1}Oからなるバリア層とウェル層とをそれぞれ5nmおよび4nmづつ交互に2~5層づつ積層した多重量子井戸構造により形成することが好ましい。また、活性層15が薄く充分に光を活性層15内に閉じ込められない場合には、たとえばZnOからなる光ガイド層が活性層の両側に設けられる。また、ITO膜18からなる透明電極は不要で、直接p側電極20をストライプ状にパターニングして形成したり、半導体層の上部をメサ型形状にエッチングしたり、電流狭窄層を埋め込むことにより、電流注入領域を画定する構造に形成される。

【0027】本発明の半導体発光素子の製法によれば、発光層形成部を構成する活性層やn形クラッド層およびp形クラッド層などの結晶性が非常に優れ、活性層の結晶性が優れることによりLEDの発光効率やLDのしきい電流値を下げることができ、また、p形クラッド層のキャリア濃度を大幅に上げることができる（モビリティが大きい）ため、直列抵抗が小さくなり、低い動作電圧*

*で大きな出力が得られる高特性の発光素子が得られる。また、発光素子に限らず、結晶性の優れた高品質のZnO系酸化物半導体層が得られるため、その品質を向上させることができる。

【0028】

【発明の効果】本発明によれば、ZnO系酸化物半導体層を格子定数や熱膨張係数が大きく異なるサファイア基板上に成長する場合でも、転移や結晶欠陥などの生成を非常に抑えて成長させることができる。その結果、結晶性の優れたZnO系酸化物半導体層により、半導体発光素子など高性能なZnO系酸化物半導体層を有する半導体装置が得られる。

【図面の簡単な説明】

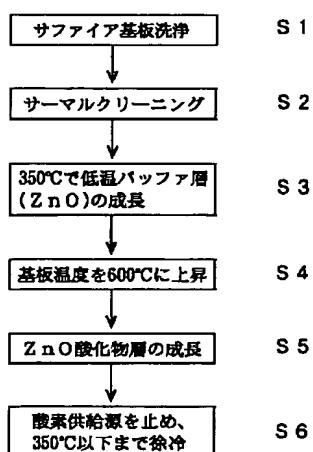
【図1】本発明による半導体装置の製法の一実施形態を示すフローチャートである。

【図2】本発明により製造される装置の一例であるLEDチップの説明図である。

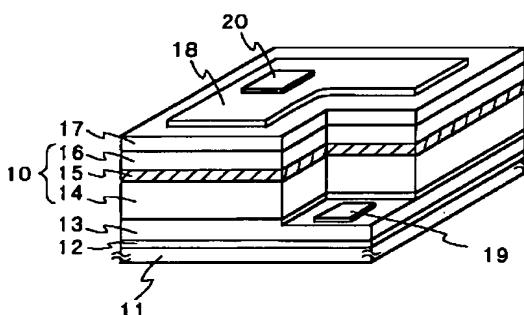
【符号の説明】

| | |
|----|----------|
| 14 | n形クラッド層 |
| 15 | 活性層 |
| 16 | p形クラッド層 |
| 17 | p形コンタクト層 |

【図1】



【図2】



フロントページの続き

(72)発明者 ポール・フォンス
茨城県つくば市梅園1-1-4 通商産業
省 工業技術院電子技術総合研究所内
(72)発明者 松原 浩司
茨城県つくば市梅園1-1-4 通商産業
省 工業技術院電子技術総合研究所内

(72)発明者 山田 昭政
茨城県つくば市梅園1-1-4 通商産業
省 工業技術院電子技術総合研究所内
(72)発明者 仁木 栄
茨城県つくば市梅園1-1-4 通商産業
省 工業技術院電子技術総合研究所内

(72)発明者 中原 健
京都市右京区西院溝崎町21番地 ローム株
式会社内

F ターム(参考) 4G077 AA03 BB07 DA05 FE13 HA02
5F041 CA04 CA05 CA41 CA46 CA66
CA88
5F045 AA04 AA05 AB22 AC11 AD09
AD10 AF09 BB12 CA10 CA12
DA53 EE18 EK28 HA06